

Câu 1: Sinh viên chỉ được chọn làm 2 trong 5 câu sau đây: (3đ)

- Hãy mô tả mạch chuyển đổi từ số nhị phân 16 bits thành mã Gray 16 bits và ngược lại sử dụng VHDL. Mạch có ngõ vào A 16 bits, ngõ ra Q 16 bits, và 1 ngõ điều khiển M 1 bit. Khi M = '0' mạch chuyển từ mã nhị phân sang mã Gray. Khi M = '1' mạch chuyển từ mã Gray sang mã nhị phân. (1.5đ)
- Hãy thiết kế và mô tả bằng VHDL mạch nhân có 2 ngõ vào A, B 8 bits và ngõ ra Q 16 bits. (1.5đ)
- Hãy vẽ mạch đếm lên đồng bộ 2 bits sử dụng 2 flip-flop T và một số cổng logic cần thiết, sau đó mô tả mạch đếm này bằng VHDL. Mạch đếm này có các ngõ vào: CK (cạnh lên), Reset và Enable tích cực mức cao. (1.5đ)
- Hãy mô tả mạch tìm giá trị nhỏ nhất và lớn nhất trong 5 giá trị a, b, c, d, e bằng VHDL sử dụng hình thức mô tả PROCESS. Mạch có các ngõ vào 64 bits (a, b, c, d, e) và các ngõ ra 64 bits q_min, q_max để chứa giá trị nhỏ nhất và lớn nhất. (1.5đ)
- Hãy thiết kế và mô tả VHDL mạch đếm vòng 8 bits có chiều thay đổi được. Mạch có các ngõ vào CK tác động cạnh xuống, Reset và Enable tích cực mức thấp, và Direction. Khi Direction = '0' hoặc '1' thì dữ liệu 8 bits (gồm MỘT bit '1' và BẢY bit '0') tương ứng được xoay trái hoặc xoay phải. (1.5đ)

****Lưu ý:** Sinh viên phải viết đầy đủ những thành phần của một tập tin VHDL cho từng câu trả lời.

Câu 2: Cho một mạch ALU đơn giản có chức năng được mô tả như bảng trạng thái sau đây: (3đ)

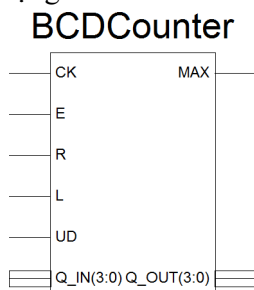
CTRL(1:0)	Q(63:0)
00	A + B
01	C + D
10	A - B
11	C - D

Trong đó: CTRL(1:0) là ngõ vào điều khiển có 2 bits; Q(63:0) là ngõ ra; A, B, C, D là các ngõ vào số hạng của ALU đều có 64 bits.

- Hãy mô tả mạch ALU này bằng VHDL sao cho chỉ dùng HAI mạch cộng, và HAI mạch trừ. Vẽ lại sơ đồ khái niệm đã mô tả. (1đ)
- Hãy vẽ lại sơ đồ khái niệm ở câu a. sao cho chỉ dùng MỘT mạch cộng. Mô tả lại sơ đồ khái niệm này bằng VHDL. (1đ)
- Tính toán tài nguyên và thời gian trễ cho từng mạch được thiết kế ở câu a và câu b, sau đó rút ra kết luận về độ tối ưu của mạch ở câu b. (1đ)

Câu 3: Sinh viên chỉ được chọn làm 1 trong 2 câu sau đây: (3đ)

- Hãy thiết kế mạch đếm BCD (giá trị đếm chỉ bao gồm các giá trị từ 0 đến 9) có sơ đồ khối và bảng trạng thái như hình vẽ bên dưới:

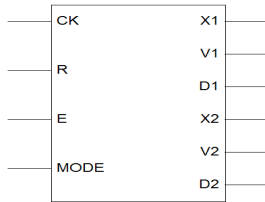


R	E	L	CK	UD	Q_OUT _{n+1}
1	-	0	-	-	0000
0	0	0	-	-	Q_OUT _n
0	1	0	↑	0	Q_OUT _n + 1
0	1	0	↑	1	Q_OUT _n - 1
0	1	1	-	-	Q_IN

- Mô tả mạch đếm trên bằng VHDL sử dụng cấu trúc tuần tự 3 thành phần (mạch tổ hợp ngõ vào, mạch cập nhật trạng thái flip-flop D, và mạch tổ hợp ngõ ra); (2đ)

- Vẽ sơ đồ khái niệm của chương trình VHDL vừa viết; (0.5đ)
 - Mở rộng bộ đếm có thêm chân ngõ ra MAX. MAX chỉ bằng '1' khi ngõ ra Q_OUT đạt giá trị cực đại. (0.5đ)
- b. Hãy thiết kế mạch đếm đèn giao thông có 2 trụ, mỗi trụ có 3 đèn là Xanh, Vàng, và Đỏ; Có khả năng chọn chế độ hoạt động bằng công tắc. Chế độ hoạt động thứ nhất là hoạt động bình thường, chế độ thứ 2 là chỉ sáng đèn vàng ở cả 2 trụ. Khi hai trụ đèn hoạt động bình thường, thì thời gian sáng đèn Xanh là 20s, thời gian sáng đèn Vàng là 5s, và thời gian sáng đèn Đỏ là 25s. Sơ đồ khối và bảng trạng thái được cho như bên dưới:

TRAFFICLIGHTS



R	CK	E	MODE	Hoạt động
1	-	-	-	Xanh 1, đỏ 2
0	↑	0	-	Ngõ ra không thay đổi
0	↑	1	0	Đèn hoạt động bình thường
0	↑	1	1	Hai trụ chỉ sáng đèn vàng

Yêu cầu:

- Thiết kế mô hình máy trạng thái mô tả hoạt động hệ thống theo bảng trạng thái trên; (1đ)
- Vẽ mô hình mạch tuần tự 3 thành phần của mô hình máy trạng thái vừa thiết kế; (1đ)
- Mô tả lại mô hình mạch tuần tự vừa thiết kế bằng VHDL. (1đ)

Câu 4: Sinh viên chỉ được phép sử dụng tiếng Anh để trả lời câu hỏi sau đây. (1đ)

Write down the brief comparisons of Signals, Variables, and Constants in VHDL.

****Bảng dữ liệu về tài nguyên và thời gian trễ cho ở bảng bên dưới.**

Width	VHDL operator									
	nand	xor	> _a	> _d	=	+ _{1a}	+ _{1d}	+ _a	+ _d	mux
Area (gate count)										
8	8	22	25	68	26	27	33	51	118	21
16	16	44	52	102	51	55	73	101	265	42
32	32	85	105	211	102	113	153	203	437	85
64	64	171	212	398	204	227	313	405	755	171
Delay (ns)										
8	0.1	0.4	4.0	1.9	1.0	2.4	1.5	4.2	3.2	0.3
16	0.1	0.4	8.6	3.7	1.7	5.5	3.3	8.2	5.5	0.3
32	0.1	0.4	17.6	6.7	1.8	11.6	7.5	16.2	11.1	0.3
64	0.1	0.4	35.7	14.3	2.2	24.0	15.7	32.2	22.9	0.3

Cán bộ coi thi không được giải thích đề thi, cho đề thi vào túi bài thi để chấm bài.

Chuẩn đầu ra của học phần (về kiến thức)	Nội dung kiểm tra
[G 1.2]: Có khả năng tính toán các vấn đề về thời gian	Câu 2
[G 2.1]: Có khả năng phân tích chia sẻ toán tử	Câu 2, Câu 3
[G 2.2]: Có khả năng phân biệt mạch đồng bộ và không đồng bộ	Câu 1
[G 3.3]: Đọc hiểu và trình bày ý tưởng bằng tiếng Anh.	Câu 4
[G 4.1]: Có khả năng phân tích tính toán hiệu suất và cải tiến	Câu 2
[G 4.2]: Có khả năng thiết kế mạch tuần tự: mạch đếm	Câu 3

Tp. Hồ Chí Minh, ngày 15 tháng 12 năm 2015
Thông qua bộ môn