TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
TP. HỒ CHÍ MINH
KHOA ĐIỆN-ĐIỆN TỬ

Ngành đào tạo:
Công nghệ kỹ thuật điện tử, truyền thông
Trình độ đào tạo: Đại học
Chương trình đào tạo:
Công nghệ kỹ thuật điện tử, truyền thông

Đề cương chi tiết học phần

1. **Tên học phần:** Thực tập thiết kế vi mạch số với HDL **Mã học phần:** PRDS320663
2. **Tên Tiếng Anh:** Digital IC Design Laboratory using HDL
3. **Số tín chỉ:** 2 tín chỉ (0/6/12) (0 tín chỉ lý thuyết, 2 tín chỉ thực hành/thí nghiệm)
   Phân bố thời gian: 15 tuần (0 tiết lý thuyết + 0*6 tiết thực hành + 12 tiết tự học/ tuần)
4. **Các giảng viên phụ trách học phần:**
   1/ GV phụ trách chính: GVC.Ths. Nguyễn Đình Phú
   2/ Danh sách giảng viên cùng GD: GV. Nguyễn Bạch Long, GV. Nguyễn Tấn Như, Ths. Đỗ Duy Tân, GV. Ths. Trương Thị Bích Ngà.
5. **Điều kiện tham gia học tập học phần**
   Môn học tiên quyết: Thiết kế vi mạch với HDL, Kỹ thuật số.
   Môn học trước: Thiết kế vi mạch với HDL, Kỹ thuật số.
6. **Mô tả học phần (Course Description)**

Học phần này hướng dẫn sinh viên thực hành thiết kế vi mạch số bao gồm mạch tổ hợp, mạch tuần tự và các mạch ứng dụng sử dụng những ngôn ngữ mô tả phần cứng VHDL, viết chương trình mô phỏng dạng sóng để đánh giá, kiểm tra và chạy thực tế trên kit FPGA.

7. **Mục tiêu học phần (Course Goals)**

Mục tiêu ***(Goals)***	**Mô tả** ***(Goal description)*** *(Học phần này trang bị cho sinh viên)*	**Chuẩn đầu ra (ELOs)**
G1	Kiến thức cơ bản và kỹ thuật thiết kế vi mạch số	01 (M)
G2	Khả năng phân tích, vẽ sơ đồ khối, lập trình thiết kế các vi mạch số	02 (H)
G3	Khả năng sử dụng những công cụ kỹ thuật hiện đại để thực hiện những bài thực hành thiết kế vi mạch số	03 (H)
G4	Khả năng đọc hiểu và sử dụng tài liệu tiếng Anh về vi mạch số để thiết kế	05 (M)
G5	Khả năng tính toán thiết kế các vi mạch số	11 (H)

*** Ghi chú: High: H; Medium: M; Low: L**

8. Chuẩn đầu ra của học phần

Chuẩn đầu ra HP		Mô tả *(Sau khi học xong môn học này, người học có thể)*	Chuẩn đầu ra (ELOs)
	G1.1	Sử dụng được bộ thí nghiệm FPGA, phần mềm lập trình để thiết kế vi mạch số và kiểm tra thiết kế trên kit FPGA	01
	G1.2	Biết được quy trình thiết kế vi mạch bằng ngôn ngữ VHDL	01
	G2.1	Có khả năng ứng dụng được từng loại mạch số và thiết kế mạch số theo các mô hình khác nhau sử dụng VHDL	02
	G2.2	Có khả năng tính toán thiết kế mạch chia tần số	02
	G3.1	Có khả năng sử dụng phần mềm EDA để thiết kế vi mạch số	03
	G3.2	Có khả năng sử dụng phần mềm mô phỏng hệ thống vi mạch số	03
G4	G4.1	Có khả năng đọc hiệu các datasheets của những IC đã có trên thị trường	05
	G5.1	Có khả năng thiết kế mạch đếm các loại với nhiều chức năng hiển thị trên LED đơn, LED 7 đoạn, và LCD	11
	G5.2	Có khả năng thiết kế mạch đo nhiệt độ, giao tiếp bộ nhớ SRAM, hiển thị trên LCD	11
	G5.3	Có khản năng thiết kế mạch giao tiếp truyền dữ liệu UART với máy tính, giao tiếp mở rộng port, IC thời gian thực theo chuẩn I2C	11

9. Tài liệu học tập

- Sách, giáo trình chính:

  [1] Nguyễn Đình Phú, *Tài liệu hướng dẫn thực hành thiết kế vi mạch số với VHDL*, ĐH Sư phạm Kỹ thuật Tp. HCM, 2016.

- Sách (TLTK) tham khảo:

  [1] Pong P. Chu, *FPGA prototying by VHDL examples*, Wile-Interscience, 2008.

10. Đánh giá sinh viên:

- Thang điểm: **10**
- Kế hoạch kiểm tra như sau:

Hình thức KT	Nội dung	Thời điểm	Công cụ KT	Chuẩn đầu ra KT	Tỉ lệ (%)
Kiểm tra trắc nghiệm					**30**
Lần 1	Những kiến thức cơ bản về cách sử dụng phần mềm và cách sử dụng kit	Tuần 2	Online	G1.1 G1.2	5
Lần 2	Cấu trúc cơ bản của ngôn ngữ VHDL để thiết kế mạch tổ hợp	Tuần 3	Online	G2.1 G2.2	5
Lần 3	Thiết kế mạch tuần tự cơ bản hiển thị LED đơn	Tuần 4,	Online	G2.1 G2.2	5

		Tuần 5			
Lần 4	Thiết kế mạch đếm hiển thị LED 7 đoạn	Tuần 7, Tuần 8	Online	G2.1 G2.2 G4.1 G5.1	5
Lần 5	Thiết kế mạch đếm hiển thị LCD	Tuần 11, Tuần 12	Online	G2.1 G2.2 G4.1 G5.1 G5.2	5
Lần 6	Thiết kế mạch giao tiếp RAM và truyền nhận dữ liệu với PC qua UART	Tuần 13, Tuần 14	Online	G5.1 G5.2 G5.3	5
Kiểm tra thực hành					**70**
Lần 1	Thiết kế mạch tuần tự đơn giản có sử dụng nút nhấn và công tắc hiển thị LED đơn	Tuần 6	Máy tính, kit FPGA	G3.1 G3.2 G5.1	20
Lần 2	Thiết kế mạch tuần tự nâng cao hiển thị LED 7 đoạn	Tuần 10	Máy tính, kit FPGA	G3.1 G3.2 G5.1 G5.2	20
Lần 3	Thiết kế các mạch giao tiếp với các ngoại vi như RAM, I2C, IC do nhiệt độ, độ ẩm hiển thị LCD.	Tuần 15	Máy tính, kit FPGA	G3.1 G3.2 G5.1 G5.2 G5.3	30

11. Nội dung chi tiết học phần:

Tuần	Nội dung	Chuẩn đầu ra học phần
	Chương 1: **HƯỚNG DẪN SỬ DỤNG KIT FPGA XILINX FPGA**	
	A/ **Các nội dung thực hành chính trên lớp***:* 1.1 Giới thiệu bộ kit fpga - Xilinx 1.2 Khảo sát các thành phần cơ bản của kit **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.1

	***B/* Các nội dung cần tự học ở nhà**: 1.3 Bài tập	
	***Chương 2:* HƯỚNG DẪN SỬ DỤNG CHƯƠNG TRÌNH XILINX ISE DESIGN SUIT 14.7**	
	A/* Các ND thực hành chính trên lớp:* 2.1 Khởi động xilinx ise design suite 2.2 Soạn thảo chương trình ise webpack 2.3 Tổng hợp chương trình 2.4 Gán các port cho các chân của thiết bị lập trình 2.5 Cách thức nạp chương trình vào thiết bị lập trình **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.2
	***B/* Các nội dung cần tự học ở nhà**: + Làm các bài tập, các câu hỏi ôn tập, làm các câu trắc nghiệm. + Chuẩn bị bài.	
	***Chương 3:* THIẾT KẾ MẠCH TỔ HỢP**	
	A/* Các nội dung và PPGD chính trên lớp:* 3.1 Giới thiệu 3.2 Mạch giải mã 3.3 Mạch mã hoá 3.4 Mạch đa hợp 3.5 Mạch giải đa hợp 3.6 Mạch giải mã led 7 đoạn 3.7 Mạch cộng số nhị phân 3.8 Mạch chuyển đổi số nhị phân thành số bcd **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2
	***B/* Các nội dung cần tự học ở nhà**: 3.9 Bài tập	
	***Chương 4:* THIẾT KẾ MẠCH TUẦN TỰ 1: CHIA XUNG, ĐẾM NHỊ PHÂN, MÔ HÌNH TRẠNG THÁI MÁY**	
	A/* Các nội dung và PPGD chính trên lớp:* 4.1 Giới thiệu 4.2 Mạch đồng bộ thông thường	G1.1 G1.2 G2.1

	4.3 Chia tần số 4.4 Mạch tạo tín hiệu cho phép 4.5 Đếm nhị phân hiển thị led đơn, đếm lên, đếm xuống 4.6 Mạch đồng bộ ngẫu nhiên 4.7 Chống dội phím nhấn, switch gạt 4.8 Các chương trình đếm vòng, đếm johnson 4.9 Thiết kế chương trình theo sơ đồ khối **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G2.2 G3.1 G3.2
	***B/* Các nội dung cần tự học ở nhà**: 4.10 Bài tập	
	***Chương 5:* THIẾT KẾ MẠCH TUẦN TỰ 2: ĐẾM HIỂN THỊ TRÊN LED 7 ĐOẠN**	
	A/* Các nội dung và PPGD chính trên lớp:* 5.1 Giới thiệu 5.2 Mạch đếm hiển thị trên led 7 đoạn quét – cách 1 5.3 Mạch đếm hiển thị trên led 7 đoạn quét – cách 2 5.4 Mạch đếm nhị phân 5.5 Mạch ứng dụng – đồng hồ số 5.6 Mạch đọc nhiệt độ từ cảm biến 1 dây ds18b20 **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.1 G5.1
	***B/* Các nội dung cần tự học ở nhà**: 5.7 Bài tập	
	***Chương 6:* THIẾT KẾ MẠCH ĐIỀU KHIỂN LCD**	
	A/* Các nội dung và PPGD chính trên lớp:* 6.1 Lý thuyết LCD 6.2 Giao tiếp FPGA với LCD theo bus dữ liệu 8 bit 6.3 Chương trình hiển thị kí tự trên LCD theo bus 8 bit 6.4 Các chương trình đếm hiển thị trên LCD 6.5 Các chương trình đồng hồ hiển thị trên LCD 6.6 Chương trình hiển thị kí tự trên LCD dùng bus 4 bit **PPGD chính**: + Thuyết trình	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.1 G5.1 G5.2

	+ Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	
	***B/* Các nội dung cần tự học ở nhà**: 6.8 Bài tập	
	***Chương 7:* THIẾT KẾ MẠCH GIAO TIẾP BỘ NHỚ RAM**	
	A/* Các nội dung và PPGD chính trên lớp:* 7.1 Giới thiệu 7.2 Khảo sát bộ nhớ SRAM 7.3 Bộ nhớ sram của kit FPGA 7.4 Thiết kế bộ điều khiển ghi đọc bộ nhớ SRAM 7.5 Các ứng dụng dùng SRAM **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.1 G5.1 G5.2
	***B/* Các nội dung cần tự học ở nhà**: 7.6 Bài tập	
	***Chương 8:* THIẾT KẾ MẠCH TRUYỀN DỮ LIỆU**	
	A/* Các nội dung và PPGD chính trên lớp:* 8.1 Giới thiệu 8.2 Thiết kế bộ nhận uart 8.3 Thiết kế bộ phát uart 8.4 Thiết kế hệ thống uart hoàn chỉnh 8.5 Các chương trình truyền dữ liệu fpga với pc qua uart **PPGD chính**: + Thuyết trình + Chỉ dẫn làm mẫu + Hướng dẫn thường xuyên	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.1 G5.1 G5.2 G5.3
	***B/* Các nội dung cần tự học ở nhà**: 8.6 Bài tập	

12. Đạo đức khoa học:

Các bài tập ở nhà và dự án phải được thực hiện từ chính bản thân sinh viên. Nếu bị phát hiện có sao chép thì xử lý các sinh viên có liên quan bằng hình thức đánh giá **0** (không) điểm quá trình và cuối kỳ.

13. Ngày phê duyệt lần đầu:

14. Cấp phê duyệt:

Trưởng khoa	**Trưởng BM**	**Nhóm biên soạn**

15. Tiến trình cập nhật ĐCCT

Lần 1: Nội Dung Cập nhật ĐCCT lần 1: ngày tháng năm	**Nguyễn Đình Phú** Tổ trưởng Bộ môn: