

## Đề cương chi tiết học phần

- Tên học phần:** Thiết kế vi mạch số với HDL **Mã học phần:** DSIC330563
- Tên Tiếng Anh:** Digital IC Design using HDL
- Số tín chỉ:** 3 tín chỉ (3/0/6)  
Phân bố thời gian: 15 tuần (3 tiết lý thuyết + 0\*3 tiết thực hành + 6 tiết tự học/ tuần)
- Các giảng viên phụ trách học phần:**  
1/ GV phụ trách chính: Gvc. Ths. Nguyễn Đình Phú  
2/ Danh sách giảng viên cùng GD: Ths. Nguyễn Tấn Như, Ths. Trương Thị Bích Nga
- Điều kiện tham gia học tập học phần**  
Môn học tiên quyết: Kỹ thuật số  
Môn học trước: Kỹ thuật số

### 6. Mô tả học phần (Course Description)

Môn này trang bị cho người học các công nghệ chế tạo vi mạch số gồm ASIC, FPGA, PLD. Ngôn ngữ lập trình VHDL để lập trình thiết kế các mạch tổ hợp, các mạch tuần tự, các mạch điện ứng dụng, các phương pháp thiết kế mạch tổ hợp và tuần tự, các hàm mô tả diễn tả mối quan hệ giữa tài nguyên thiết kế và hiệu suất về thời gian của mạch thiết kế với số lượng ngõ vào. Các kỹ thuật tối ưu về tài nguyên và thời gian trễ của hệ thống. Phương pháp thiết kế mạch theo mô hình trạng thái máy hữu hạn. Người học sử dụng phần mềm lập trình và ngôn ngữ VHDL để thiết kế và mô phỏng được các mạch tổ hợp và tuần tự cơ bản.

### 7. Mục tiêu học phần (Course Goals)

Mục tiêu (Goals)	Mô tả (Goal description) <i>(Học phần này trang bị cho sinh viên)</i>	Chuẩn đầu ra (EPOs)
G1	Có được những kỹ thuật thiết kế vi mạch số thông qua việc hiểu biết cơ bản về ngôn ngữ VHDL	01 (H)
G2	Có khả năng đọc hiểu và sử dụng các tài liệu kỹ thuật bằng tiếng Anh.	05 (M)
G3	Khả năng phân tích mạch, tính toán, giải thích, và lập luận giải quyết các vấn đề tối ưu về tài nguyên và hiệu suất trong thiết kế vi mạch số.	07 (M)
G4	Khả năng thiết kế mô phỏng mạch điện tử số dùng ngôn ngữ VHDL.	02 (M)

\*Ghi chú: High: H; Medium: M, Low: L

## 8. Chuẩn đầu ra của học phần

Chuẩn đầu ra HP		Mô tả (Sau khi học xong môn học này, người học có thể)	Chuẩn đầu ra (EPOs)
	G1.1	Có khả năng phân biệt được các công nghệ, các lớp thiết kế, và quy trình thiết kế để thiết kế vi mạch số bằng VHDL	01 07
	G1.2	Có khả năng phân biệt và sử dụng các loại cấu trúc thiết kế trong ngôn ngữ VHDL để thiết kế vi mạch số	01 07
	G1.3	Có khả năng sử dụng được lệnh gán tín hiệu đồng thời trong VHDL để thiết kế vi mạch số	01 07
	G1.4	Có khả năng sử dụng được lệnh gán tín hiệu tuần tự trong VHDL để thiết kế vi mạch số	01 07
<b>G2</b>	G2.1	Có khả năng đọc hiểu datasheets của PAL, GAL, bài giảng tiếng Anh, giáo trình tiếng Anh, thuật ngữ tiếng Anh	05 07
	G2.2	Có khả năng sử dụng tiếng Anh để trả lời các câu hỏi trong những bài kiểm tra đánh giá	05 07
	G3.1	Có khả năng tính toán được tài nguyên và thời gian trễ của hệ thống vi mạch số dựa vào phân tích các phép toán và cấu trúc mạch được mô tả bằng VHDL.	07
	G3.2	Có khả năng tối ưu hệ thống vi mạch số về mặt thời gian trễ và tài nguyên sử dụng kỹ thuật chia sẻ toán tử và kỹ thuật chia sẻ chức năng	07
<b>G4</b>	G4.1	Có khả năng sử dụng phần mềm EDA để thiết kế, mô phỏng hệ thống vi mạch số dùng ngôn ngữ VHDL	02

## 9. Tài liệu học tập

- Sách, giáo trình chính:
  - [1] Pong P. Chu, *RTL Hardware Design Using VHDL*, A John Wilay & Sons Inc. Publication, 2006.
- Bài giảng (TLTK) tham khảo:
  - [2] Nguyễn Đình Phú, *Bài giảng thiết kế vi mạch số với VHDL*, Đại Học Sư Phạm Kỹ Thuật, TpHCM.

## 10. Đánh giá sinh viên:

- Thang điểm: **10**
- Kế hoạch kiểm tra như sau:

Hình thức KT	Nội dung	Thời điểm	Công cụ KT	Chuẩn đầu ra KT	Tỉ lệ (%)
<b>Kiểm tra lần 1</b>					<b>15</b>
Lần 1	Thiết kế mạch tổ hợp	Tuần 9	Tự luận	G1.2 G1.3 G1.4 G2.2	15
<b>Kiểm tra lần 2</b>					<b>15</b>
Lần 2	Thiết kế mạch tuần tự	Tuần 12	Tự luận	G1.2 G1.3 G1.4 G2.2	15
<b>Kiểm tra qua mạng dạy học số</b>					<b>10</b>
Lần 1	Tổng quan về thiết kế vi mạch số, ngôn ngữ mô tả phần cứng HDL	Tuần 2, 4	Trắc nghiệm online	G1.1 G1.2 G2.2	5
Lần 2	Các lệnh gán tín hiệu trong VHDL, quá trình tổng hợp chương trình, và thiết kế các mạch số đơn giản dùng VHDL	Tuần 6, 8, 10	Trắc nghiệm online	G1.2 G1.3 G1.4 G2.2	5
<b>Bài tập lớn (Project)</b>					<b>10</b>
Lần 1	Thiết kế hệ thống vi mạch số tổ hợp sử dụng VHDL và mô phỏng mạch dùng phần mềm EDA của Xilinx	Tuần 8	Báo cáo online	G1.2 G1.3 G1.4 G2.1 G4.1	5
Lần 2	Thiết kế hệ thống vi mạch số tuần tự sử dụng VHDL và mô phỏng mạch dùng phần mềm EDA của Altera	Tuần 13	Báo cáo online	G1.2 G1.3 G1.4 G2.1 G3.1 G3.2 G4.1	5
<b>Thi cuối kỳ</b>					<b>50</b>
Lần 1	Nội dung bao quát tất cả các chuẩn đầu ra còn lại chưa kiểm tra của môn học. Thời gian làm bài 90 phút		Tự luận	G2.2 G3.1 G3.2	50

## 11. Nội dung chi tiết học phần:

Tuần	Nội dung	Chuẩn đầu ra học phần
	<b>Chương 1: GIỚI THIỆU THIẾT KẾ HỆ THỐNG SỐ</b>	
	<b>A/ Các nội dung và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 1.1. Giới thiệu 1.2. Các công nghệ thiết bị 1.3. Biểu diễn hệ thống 1.4. Các mức độ trừu tượng 1.5. Xây dựng các tác vụ và phần mềm EDA 1.6. Dòng thiết kế <b>PPGD chính:</b> + Thuyết trình + Đặt vấn đề	G1.1 G2.1
	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 1.7. Bài tập	G2.2
	<b>Chương 2: TỔNG QUAN VỀ NGÔN NGỮ MÔ TẢ PHẦN CỨNG</b>	
	<b>A/ Tóm tắt các ND và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 2.1 Ngôn ngữ mô tả phần cứng 2.2 Các khái niệm cơ bản của VHDL <b>PPGD chính:</b> + Thuyết trình + Đặt vấn đề	G1.2 G1.3 G2.1
	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 2.3 Bài tập	G2.2
	<b>Chương 3: CÁC CẤU TRÚC NGÔN NGỮ CƠ BẢN CỦA VHDL</b>	
	<b>A/ Các nội dung và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 3.1 Giới thiệu 3.2 Các phần tử và định dạng chương trình 3.3 Các đối tượng 3.4 Các loại dữ liệu và toán tử 3.5 Các loại dữ liệu đã định nghĩa trong VHDL 3.6 Các toán tử cho loại dữ liệu mảng 3.7 Các loại dữ liệu trong gói số IEEE 3.8 Các gói dữ liệu std_logic 3.9 Hướng dẫn tổng hợp trong VHDL <b>PPGD chính:</b> + Thuyết trình + Đặt vấn đề	G1.2 G1.3 G2.1
	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 3.10 Bài tập	G2.2

	<b>Chương 4: CÁC PHÁT BIỂU GÁN TÍN HIỆU ĐỒNG THỜI TRONG VHDL</b>	
5, 6	<p><b>A/ Các nội dung và PPGD chính trên lớp: (2)</b>  <b>Nội Dung (ND) GD trên lớp</b></p> <p>4.1 Phân biệt mạch tổ hợp với mạch tuần tự  4.2 Các phát biểu gán tín hiệu đơn giản  4.3 Phát biểu gán tín hiệu có điều kiện  4.4 Phát biểu gán tín hiệu có lựa chọn  4.5 So sánh phát biểu gán tín hiệu có điều kiện và có lựa chọn:</p> <p><b>PPGD chính:</b>  + Thuyết trình  + Đặt vấn đề  + Thảo luận</p>	G1.3 G2.1
	<p><b>B/ Các nội dung cần tự học ở nhà: (4)</b>  4.6 Bài tập.</p>	G2.2
	<b>Chương 5: CÁC PHÁT BIỂU TUẦN TỰ CỦA VHDL</b>	
	<p><b>A/ Các nội dung và PPGD chính trên lớp: (2)</b>  <b>Nội Dung (ND) GD trên lớp</b></p> <p>5.1 Quá trình của VHDL  5.2 Phát biểu gán tín hiệu tuần tự  5.3 Phát biểu gán biến  5.4 Phát biểu if  5.5 Phát biểu case  5.6 Phát biểu vòng lặp đơn giản  5.7 Tổng hợp các phát biểu tuần tự</p> <p><b>PPGD chính:</b>  + Thuyết trình  + Đặt vấn đề  + Thảo luận</p>	G1.4 G2.1
	<p><b>B/ Các nội dung cần tự học ở nhà: (4)</b>  5.8 Bài tập.</p>	G2.2
	<b>Chương 6: TỔNG HỢP MÃ VHDL</b>	
	<p><b>A/ Các nội dung và PPGD chính trên lớp: (2)</b>  <b>Nội Dung (ND) GD trên lớp</b></p> <p>6.1 Các giới hạn cơ bản của phần mềm EDA  6.2 Phân tích các toán tử trong VHDL  6.3 Sử dụng trạng thái 'Z' của dữ liệu std_logic trong VHDL  6.4 Dòng tổng hợp VHDL  6.5 Xem xét các vấn đề thời gian</p> <p><b>PPGD chính:</b>  + Thuyết trình  + Đặt vấn đề</p>	G3.1 G2.1
	<p><b>B/ Các nội dung cần tự học ở nhà: (4)</b>  6.6 Bài tập</p>	G2.2

	<b>Chương 7: THIẾT KẾ MẠCH TỔ HỢP</b>	
10, 11	<b>A/ Các nội dung và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 7.1 Nguyên lý để thiết kế mạch đạt hiệu suất 7.2 Kỹ thuật chia sẻ các toán tử 7.3 Kỹ thuật chia sẻ chức năng 7.4 Hiệu suất của các mạch điện có liên quan đến bố trí 7.5 Các mạch điện tổng quát <b>PPGD chính:</b> + Thuyết trình + Thảo luận	G3.1 G3.2 G2.1
	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 7.6 Bài tập	G2.2
	<b>Chương 8: THIẾT KẾ CÁC MẠCH TUẦN TỰ CƠ BẢN</b>	
	<b>A/ Các nội dung và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 8.1 Tổng quan về các mạch tuần tự 8.2 Các mạch tổng hợp 8.3 Rủi ro của tổng hợp sử dụng các cổng thô sơ 8.4 Các phần tử nhớ cơ bản 8.5 Các ví dụ thiết kế đơn giản 8.6 Phân tích thời gian của mạch điện tuần tự đồng bộ 8.7 Sử dụng biến trong mô tả mạch tuần tự 8.8 Tổng hợp các mạch tuần tự <b>PPGD chính:</b> + Thuyết trình + Đặt vấn đề	G1.3 G1.4 G3.1 G3.2 G2.1
	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 8.9 Bài tập	
	<b>Chương 9: MÔ HÌNH TRẠNG THÁI MÁY HỮU HẠN</b>	
	<b>A/ Các nội dung và PPGD chính trên lớp: (2)</b> <b>Nội Dung (ND) GD trên lớp</b> 9.1 Giới thiệu 9.2 Biểu diễn mô hình FSM 9.3 Thời gian và thực hiện của FSM 9.4 Mô hình Moore và mô hình Mealy 9.5 Mô tả VHDL của mô hình FMS 9.6 Gán trạng thái 9.7 Bộ đệm ngõ ra của mô hình Moore 9.8 Các ví dụ thiết kế FSM <b>PPGD chính:</b> + Thuyết trình + Đặt vấn đề + Thảo luận	G1.2 G1.3 G1.4 G2.1

	<b>B/ Các nội dung cần tự học ở nhà: (4)</b> 9.9. Bài tập	G2.2
--	--	------

**12. Đạo đức khoa học:**

Các bài tập ở nhà, các bài kiểm tra trắc nghiệm online, các bài kiểm tra tại lớp phải được thực hiện từ chính bản thân sinh viên. Nếu bị phát hiện có sao chép, thi hộ, ... thì xử lý các sinh viên có liên quan bằng hình thức đánh giá 0 (không) điểm vào quá trình và cuối kỳ.

**13. Ngày phê duyệt lần đầu:**

**14. Cấp phê duyệt:**

**Trưởng khoa**

**Trưởng BM**

**Nhóm biên soạn**

**15. Tiến trình cập nhật ĐCCT**

<b>Lần 1:</b> Nội Dung Cập nhật ĐCCT lần 1: ngày    tháng    năm	<b>Nguyễn Đình Phú</b>  Tổ trưởng Bộ môn:
--	---